|  |
| --- |
| **МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ** |
| **ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ** |
| **«Национальный исследовательский ядерный университет «МИФИ»** |
| **ИНСТИТУТ ИНТЕЛЛЕКТУАЛЬНЫХ КИБЕРНЕТИЧЕСКИХ СИСТЕМ** |
| **КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ» (№12)** |

**Курсовая работа**

**Схемотехника цифровых устройств**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Тема: Анализатор протокола генератора сигналов (интерфейс, общее управление, хранение данных)** | | | | |
| **Студенты** | **Воронцов Максим Эдуардович**  **Доманов Макар Джангрович** | | **Группа** | **С20-501** |
|  | **ФИО** | |  |  |
| **Руководители** | | **Решетько В.М.**  **Сапрыкина В.С.** | | |
|  | | **ФИО** | | |
|  |  |  |  |  |

**Москва, 2022**

**Содержание**

1. Введение………………………………………………………………………………………. 3

2. Спецификация………………………………………………………………………………… 4

3. Адресная карта………………………………………………………………………………. 10

4. Симуляция…………………………………………………………………………………… 13

5. Синтез………………………………………………………………………………………... 35

Заключение……………………………………………………………………………………... 37

Список литературы…………………………………………………………………………….. 38

# 1. Введение

Анализатор протокола [1] предназначен для конфигурирования системы (например, задания режима работы), выполнения квадратурной модуляции сигнала для режимов QPSK, 8-PSK, 16-QAM, формирование необходимых значений амплитуды, начальной фазы и частотного слова гармонического сигнала. Он делится на модулятор, модуль управления системы и модуль пересылки данных средствами квадратурной модуляции.

В рамках курсовой работы была разработана часть анализатора протокола, а именно, модуль управления системой и модуль организации пересылки данных средствами квадратурной модуляции.

Модуль управления системой [1] предназначен для хранения основных конфигурационных параметров, необходимых для корректной работы устройства, и входит в состав анализатора протокола.

Модуль организации пересылки данных средствами квадратурной модуляции [1] предназначен для хранения частотного слова несущей, частотного слова следования символов и записывания порта записи данных, который в дальнейшем отправляется в FIFO буфера пересылки и, одновременно, дублируется в кольцевом буфере [2].

Эти модули входят в состав модуля анализатора протоколов, который соединяется с модулем протокольного обмена с помощью интерфейса Wishbone [3], а также передает данные о частотном слове несущей, частотном слове следования символов и данные из FIFO в модулятор.

# 2. Спецификация

**Графическое представление и описание сигналов.**

Условное графическое представление анализатора протокола представлено на рисунке 2.1. На рисунке показаны следующие данные: принимаемые данные с модуля протокольного обмена, внутреннее устройство анализатора протокола и данные, передаваемые анализатором протокола на модуль синтеза периодических сигналов.

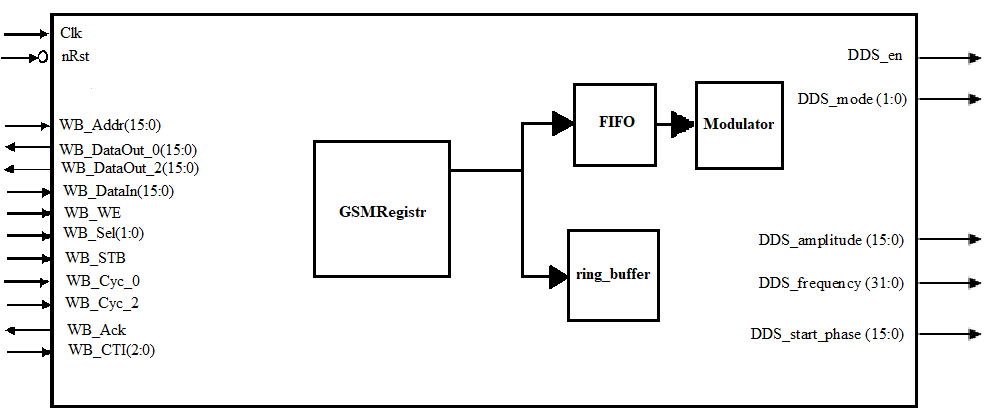
****

Рисунок 2.1 – Условное графическое представление анализатора протокола.

Условное графическое представление соединенных модуля управления системой и модуля организации пересылки данных средствами квадратурной модуляции представлено на рисунке 2.2.

Clk

nRst

WB\_Addr (15:0)

q (15:0)

CarrierFrequency\_OUT (31:0)

Mode

empty

rdreq

SymbolFrequency\_OUT (31:0)

WB\_DataOut\_0 (15:0)

WB\_DataOut\_2 (15:0)

WB\_DataIn (15:0)

WB\_WE

WB\_Sel (1:0)

WB\_STB

WB\_Cyc\_0

WB\_Cyc\_2

WB\_Ack

WB\_CTI (2:0)

Modulation mode

Signal mode

nRstDDS

Sync

rdreq\_buff

empty\_buff

Рисунок 2.2 — Условное графическое представление соединенных модуля управления системой и модуля пересылки данных средствами квадратурной модуляции

Описание сигналов на рисунке 2.2 представлено в таблице 2.1.

Таблица 2.1 — Описание сигналов на рисунке 2.2.

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса |
| Сигналы **интерфейса WISHBONE** | | | |
| 3 | WB\_Addr (15:0) | in | Адрес смещения для целевого адресного пространства. |
| 4 | WB\_DataOut\_0 (15:0) | out | Поток данных на чтение, 16-битные слова, отвечает за модуль управления системой. |
| 5 | WB\_DataOut\_2 (15:0) | out | Поток данных на чтение, 16-битные слова, отвечает за модуль пересылки данных средствами квадратурной модуляции. |
| 6 | WB\_DataIn (15:0) | in | Поток данных на запись, 16-битные слова. |
| 7 | WB\_WE | in | **W**rite **E**nable. Сигнал разрешения записи: высокий уровень — цикл записи в модуль, низкий — цикл чтения из модуля. |
| 8 | WB\_Sel(1:0) | in | **Sel**ect. Сигналы разрешения приема/пересылки байта |
| 9 | WB\_STB | in | **St**ro**b**e. Строб-импульс, высокий уровень показывает корректность данных. |
| 10 | WB\_Cyc\_0 | in | **Cyc**le 0. Высокий уровень сигнала показывает выполнение корректного цикла обмена информацией, отвечает за модуль управления системой. |
| 11 | WB\_Cyc\_2 | in | **Cyc**le 2. Высокий уровень сигнала показывает выполнение корректного цикла обмена информацией, отвечает за модуль пересылки данных средствами квадратурной модуляции. |
| 12 | WB\_Ack | out | **Ack**nowledge. Сигнал подтверждения штатного завершения пересылки элемента пакета. |
| 13 | WB\_CTI(2:0) | out | **C**ycle **T**ype **I**dentifier. В зависимости от значения сигнала возможны следующие режимы работы:   * “000” – обычный цикл; * “001” – пакетный цикл с фиксированным адресом; * “010” – пакетный цикл с инкрементируемым адресом; * “011-110” – зарезервировано; * “111” – последний пакет. |
| Сигналы интерфейса модулей общего управления системы и организации пересылки данных средствами квадратурной модуляции | | | |
| 14 | rdreq | in | **R**ead **req**uest. Сигнал запроса на чтение из FIFO. |
| 15 | empty | out | **Empty -** сигнал, информирующий об отсутствии данных в FIFO. |
| 16 | q (15:0) | out | Поток данных на чтение из FIFO, 16-битные слова. |
| 17 | SymbolFrequency\_OUT (31:0) | out | Частотное слово следования символов, 32-битные слова. |
| 18 | CarrierFrequency\_OUT (31:0) | out | Частотное слово несущей, 32-битные слова. |
| 19 | Mode | out | Режим работы: 0 – обычный режим; 1 – режим PSK. |
| 20 | Modulation mode(1:0) | out | Режим модуляции: «00» – QPSK; «01» – 8-PSK; «10» – 16-QAM; «11» – модуляция не используется. |
| 21 | Signal mode(1:0) | out | Режим сигнала: «00» – гармонический сигнал; «01» – пилообразный сигнал; «10» – меандр; «11» – зарезервировано. |
| 22 | nRstDDS | out | Сигнал сброса схемы прямого цифрового синтеза. |
| 23 | Sync | out | Сигнал синхронизации, ‘1’ — разрешение использования внешней синхронизации для модуля организации пересылки данных средствами квадратурной модуляции. |
| 24 | empty\_buff | in | Сигнал, информирующий об отсутствии данных в кольцевом буфере. |
| 25 | rdreq\_buff |  | Сигнал запроса на чтение данных из кольцевого буфера |

Условное графическое представление FIFO представлено на рисунке 2.3. FIFO выполняет функцию хранения данных в виде 16-битных регистров, собираемых из порта записи данных, для дальнейшей их передачи в модулятор для модуляции. Количество слов, которое может храниться в FIFO, равняется 1024 словам.

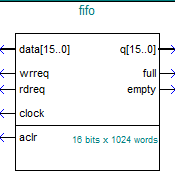


Рисунок 2.3 — Условное графическое представление FIFO

Описание сигналов на рисунке 2.3 представлено в таблице 2.2.

Таблица 2.2 – Описание сигналов FIFO на рисунке 2.3.

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | aclr | in | Асинхронный сигнал сброса |
| Входные сигналы | | | |
| 3 | data(15:0) | in | Слово 16-битное, которое записывается в FIFO |
| 4 | wrreq | in | **Wr**ite **req**uest. Сигнал запроса на запись данных в FIFO. |
| 5 | rdreq | in | **R**ea**d req**uest. Сигнал запроса на чтение данных из FIFO. |
| Сигналы интерфейса FIFO | | | |
| 6 | q(15:0) | out | 16-битное слово, которое считывается из FIFO. |
| 7 | full | out | Сигнал, который показывает заполненность FIFO:   * 0, если не заполнен; * 1, если заполнен полностью. |
| 8 | empty | out | Сигнал, показывающий отсутствие данных в FIFO:   * 0, если в FIFO хранятся данные; * 1, если FIFO пустое. |

Условное графическое представление кольцевого буфера [2] представлено на рисунке 2.4. Кольцевой буфер нужен для дублирования данных, подаваемых на вход FIFO. Количество слов, которое может храниться в кольцевом буфере, равняется 1024 словам.

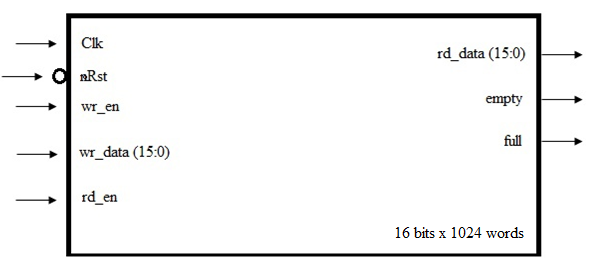


Рис. 2.4 – Условное графическое представление кольцевого буфера.

Описание сигналов на рисунке 2.4 представлено в таблице 2.3.

Таблица 2.3 – Описание сигналов кольцевого буфера.

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса |
| Входные сигналы | | | |
| 2 | wr\_data(15:0) | in | Слово 16-битное, которое записывается в кольцевой буфер |
| 3 | wr\_en | in | **Wr**ite **en**able. Сигнал разрешения на запись данных в кольцевой буфер. |
| 4 | rd\_en | in | **R**ea**d en**able. Сигнал разрешения на чтение данных из FIFO. |
| Сигналы интерфейса кольцевого буфера | | | |
| 6 | rd\_data(15:0) | out | 16-битное слово, которое считывается из кольцевого буфера. |
| 7 | full | out | Сигнал, который показывает заполненность кольцевого буфера:   * 0, если не заполнен; * 1, если заполнен полностью. |
| 8 | empty | out | Сигнал, показывающий отсутствие данных в кольцевом буфере:   * 0, если в кольцевом буфере хранятся данные; * 1, если кольцевой буфер пустой. |

# 3. Адресная карта

В таблице 3.1 представлена карта памяти используемых модулей – их адреса и размеры области (в байтах).

Таблица 3.1 –­ карта памяти используемых модулей

|  |  |  |  |
| --- | --- | --- | --- |
| Адрес | Размер области, байт | Назначение | Описание |
| 0x0000-0x00FF | 256 | System control | Общее управление системой |
| 0x0200-0x02FF | 256 | QM (quadratic modulation) | Модуль организации пересылки данных средствами QPSK, 16-QAM, 8-PSK |

В таблице 3.2 приведено описание регистра общего управления системой с побитным указанием информации, хранящейся в нем.

Таблица 3.2 — Описание регистра общего управления системой

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 15 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| Reserved | | Reserved | Sync | nRstDDS | Signal mode | | Modulation mode | | Mode |
| R, 0x00 | | R, ‘0’ | RW, ‘0’ | RW, ‘0’ | RW, “00” | | RW, “11” | | RW, ‘0’ |

Mode — режим работы: 0 – обычный режим; 1 – режим PSK.

Modulation mode — «00» – QPSK; «01» – 8-PSK; «10» – 16-QAM; «11» – модуляция не используется.

Signal mode — «00» – гармонический сигнал; «01» – пилообразный сигнал; «10» – меандр; «11» – зарезервировано.

nRstDDS — сигнал сброса схемы прямого цифрового синтеза.

Sync — сигнал синхронизации, ‘1’ — разрешение использования внешней синхронизации для модуля организации пересылки данных средствами квадратурной модуляции.

Назначение элементов карты адресов (базовый адрес 0x0200) модуля организации пересылки данных средствами квадратурной модуляции представлено в таблице 3.3.

Таблица 3.3 — Описание регистров модуля организации пересылки данных средствами квадратурной модуляции

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Назначение | Описание |
| 0x0004 | 4 | Carrier Frequency | Частотное слово несущей |
| 0x0008 | 4 | Symbol Frequency | Частотное слово следования символов |
| 0x000C | 2 | DataPort | Порт записи данных |
| 0x000E | 242 | Reserved | Зарезервировано для возможного будущего использования |

В таблице 3.4 приведено описание регистра частоты несущей сигнала с побитным указанием информации, хранящейся в нем.

Таблица 3.4 — Описание регистра частоты несущей сигнала

|  |  |
| --- | --- |
| 15 | 0 |
| Carrier Frequency | |
| RW, 0x00000000 | |
| 31 | 16 |
| Carrier Frequency | |
| RW, 0x00000000 | |

В таблице 3.5 приведено описание регистра частоты следования символов с побитным указанием информации, хранящейся в нем.

Таблица 3.5 — Описание регистра частоты следования символов

|  |  |
| --- | --- |
| 15 | 0 |
| Symbol Frequency | |
| RW, 0x00000000 | |
| 31 | 16 |
| Symbol Frequency | |
| RW, 0x00000000 | |

В таблице 3.6 приведено описание регистра порта записи данных с побитным указанием информации, хранящейся в нем.

Таблица 3.6 — Описание регистра порта записи данных

|  |  |  |  |
| --- | --- | --- | --- |
| 15 | 8 | 7 | 0 |
| Byte1 | | Byte0 | |
| RW, 0x0000 | | | |

Byte0 и Byte1 — младший и старший байты данных соответственно. Данные для пересылки по каналу модуляции. Пересылка осуществляется младшими байтами вперед. При записи данных в этот порт они отправляются в FIFO буфера пересылки. Одновременно они дублируются в кольцевом буфере с базовым адресом 0x1800 и размером 2 Кбайта, откуда могут быть прочитаны для контроля содержимого предыдущей транзакции пересылки.

Назначение элементов карты адресов (базовый адрес 0x1800) кольцевого буфера представлено в таблице 3.7.

Таблица 3.7 — Описание кольцевого буфера

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Назначение | Описание |
| 0x0000 | 2K | Data buffer | Записанные данные |

# 4. Симуляция

На рисунках ниже продемонстрирована работа модуля управления системой, модуля организации пересылки данных средствами квадратурной модуляции и интерфейса WISHBONE.

На рис. 4.1. представлена временная реакция модуля на сигнал сброса nRst. При переводе этого сигнала в 0 все выходные и внутренние регистры, включая сигналы интерфейса WISHBONE, сбрасываются в 0.

Изображение выглядит как текст

Автоматически созданное описание

Рисунок 4.1 – Временная диаграмма работы сигнала сброса

На рис. 4.2. представлена временная диаграмма работы сигнала сброса nRst для FIFO и кольцевого буфера.

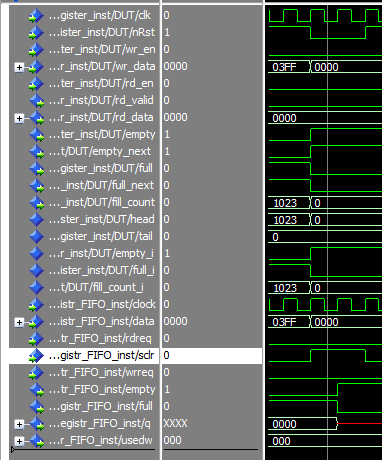


Рисунок 4.2 – Временная диаграмма работы сигнала сброса для FIFO и кольцевого буфера

На рисунке 4.3 представлена временная диаграмма записи младшего байта информации, передаваемой модулю общего управления(по адресу смещения 0x0000) с сигналом разрешения приема/пересылки байта равным “01”. На этом рисунке можно увидеть, как после записи изменились значения в регистрах, содержащих сигнал синхронизации (Sync), сигнал сброса схемы прямого цифрового синтеза (nRstDDS), режим сигнала (Signal mode), режим модуляции (Modulation mode), режим работы (Mode).

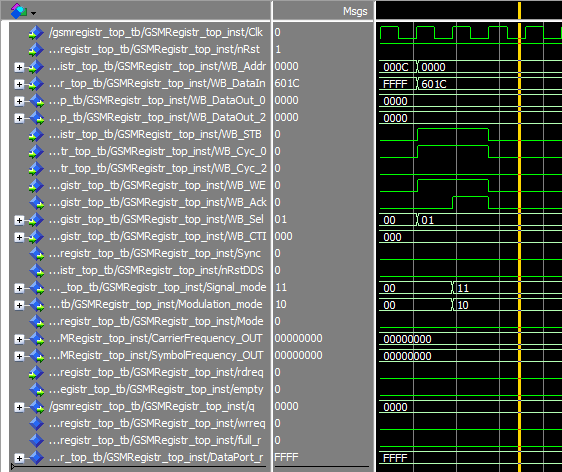


Рисунок 4.3 – Временная диаграмма записи младшего байта информации, передаваемой модулю общего управления(по адресу смещения 0x0000) с сигналом разрешения приема/пересылки байта равным “01”

На рисунке 4.4 представлена временная диаграмма записи старшего байта информации, передаваемой модулю общего управления (по адресу смещения 0x0000) с сигналом разрешения приема/пересылки байта равным “10”. На этом рисунке можно увидеть, что после записи ничего не изменилось, так как память старшего байта модуля управления зарезервирована.

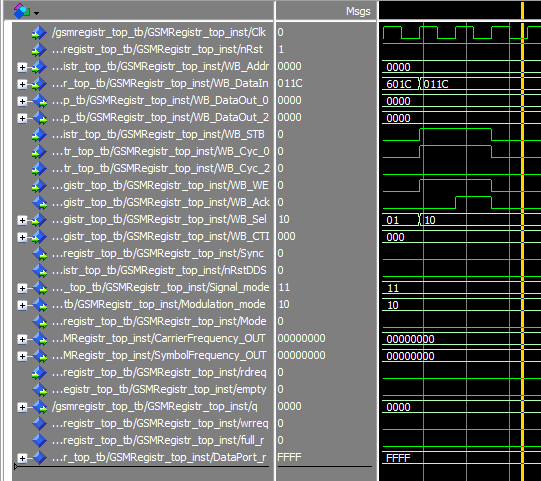


Рисунок 4.4 – временная диаграмма записи информации старшего байта, передаваемой модулю общего управления(по адресу смещения 0x0000) с сигналом разрешения приема/пересылки байта равным “10”

На рисунке 4.5 представлена временная диаграмма записи информации старшего и младшего, передаваемой модулю общего управления (по адресу смещения 0x0000) с сигналом разрешения приема/пересылки байта равным “11”. На этом рисунке можно увидеть, как после записи изменились значения в регистрах, содержащих сигнал синхронизации (Sync), сигнал сброса схемы прямого цифрового синтеза (nRstDDS), режим сигнала (Signal mode), режим модуляции (Modulation mode), режим работы (Mode).

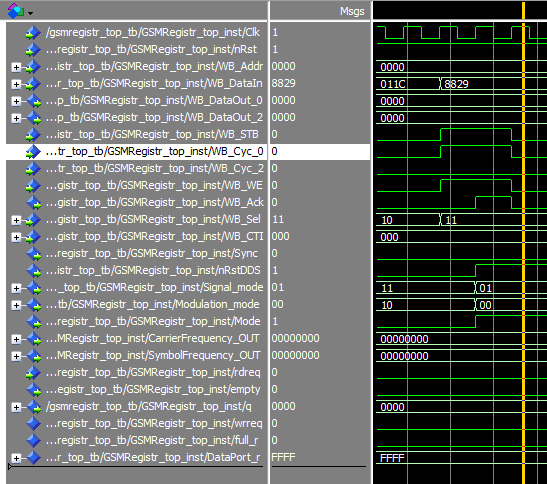


Рисунок 4.5 – временная диаграмма записи информации старшего и младшего, передаваемой модулю общего управления(по адресу смещения 0x0000) с сигналом разрешения приема/пересылки байта равным “11”

На рисунке 4.6 представлена временная диаграмма чтения информации из модуля общего управления (по адресу смещения 0x0000) с сигналом разрешения приема/пересылки байта равным “11” по шине Wishbone. На этом рисунке можно увидеть, как после чтения значений из регистров, содержащих сигнал синхронизации (Synv), сигнал сброса схемы прямого цифрового синтеза (nRst), режим сигнала (Signal mode), режим модуляции (Modulation Mode), режим работы формируется выходной поток данных на чтение WB\_DataOut\_0.

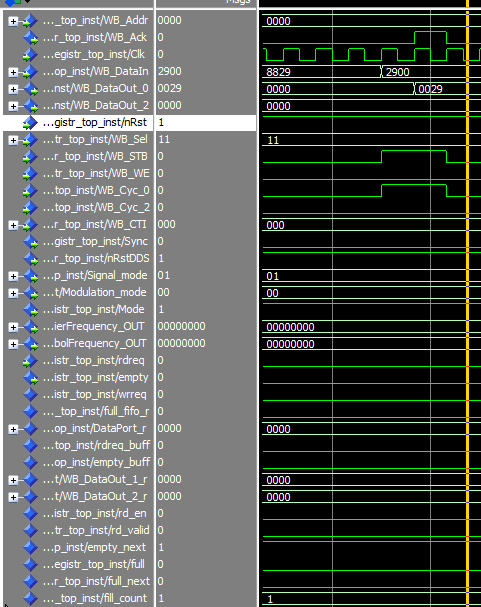


Рисунок 4.6 – временная диаграмма чтения информации из модуля общего управления (по адресу смещения 0x0000) на шину Wishbone

На рисунке 4.7 представлена временная диаграмма записи двух байт данных в регистр с сигналом разрешения приема/пересылки байта равным “01”, хранящий значение частотного слова следования символов, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0004). На этом рисунке можно увидеть, как после записи изменилось значение младшего байта двух старших байтов в регистре, содержащем частотное слово несущей.

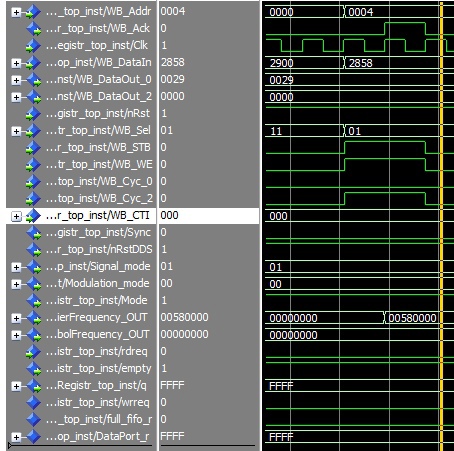


Рисунок 4.7 – временная диаграмма записи информации двух старших байтов о частотном слове следования символов с сигналом разрешения приема/пересылки байта равным “01”, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0004)

На рисунке 4.8 представлена временная диаграмма чтения информации с двух старших байтов частотного слова следования символов с сигналом разрешения приема/пересылки байта равным “11” из модуля пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0004) по шине Wishbone. На этом рисунке можно увидеть, как после чтения значений двух старших байтов из регистра, содержащего частотное слово несущей формируется выходной поток данных на чтение WB\_DataOut\_2.

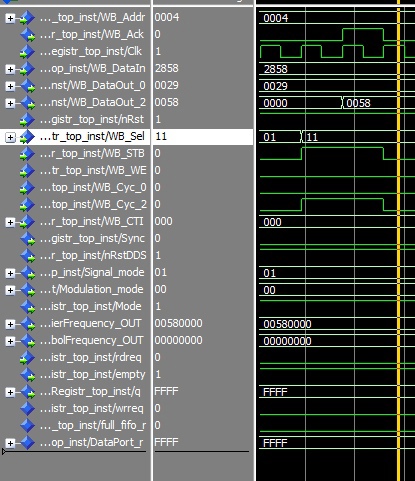


Рисунок 4.8 – временная диаграмма чтения информации с двух старших байтов частотного слова следования символов из модуля пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0004) по шине Wishbone

На рисунке 4.9 представлена временная диаграмма записи двух младших байт данных в регистр с сигналом разрешения приема/пересылки байта равным “01”, хранящий значение частотного слова следования символов, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0006). На этом рисунке можно увидеть, как после записи изменилось значение младшего байта двух младших байтов в регистре, содержащем частотное слово несущей.

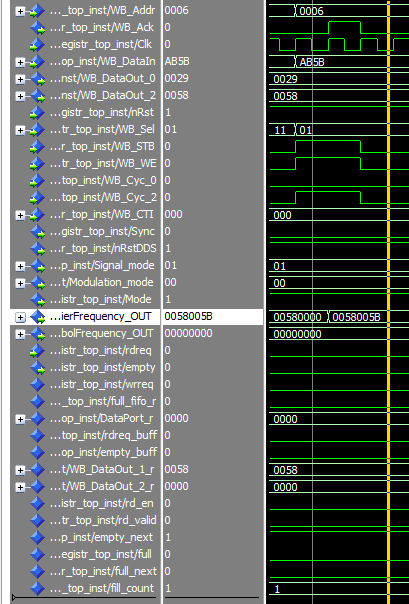


Рисунок 4.9 – временная диаграмма записи информации в два младших байта о частотном слове следования символов, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0006)

На рисунке 4.10 представлена временная диаграмма чтения информации с двух младших байтов частотного слова следования символов с сигналом разрешения приема/пересылки байта равным “11” из модуля пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0006) по шине Wishbone. На этом рисунке можно увидеть, как после чтения значений двух младших байтов из регистра, содержащего частотное слово несущей формируется выходной поток данных на чтение WB\_DataOut\_2.

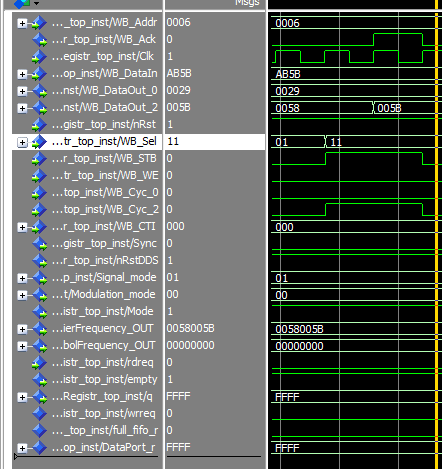


Рисунок 4.10 – временная диаграмма чтения информации с двух младших байтов частотного слова следования символов из модуля пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0006) по шине Wishbone

На рисунке 4.11 представлена временная диаграмма записи двух старших байт данных в регистр с сигналом разрешения приема/пересылки байта равным “01”, хранящий значение частотного слова следования символов, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0008). На этом рисунке можно увидеть, как после записи изменилось значение младшего байта двух старших байтов в регистре, содержащем частотное слово следования символов.

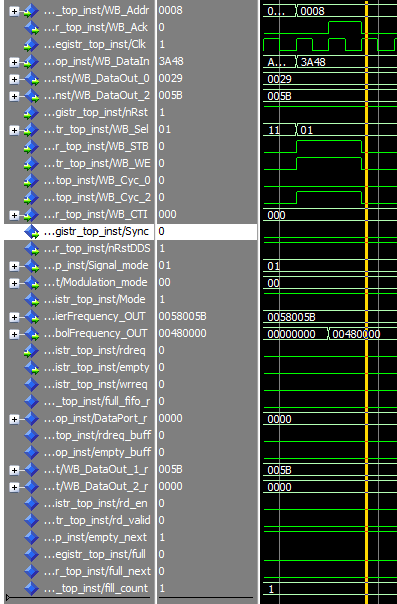


Рисунок 4.11 – временная диаграмма записи информации в два старших байта о частотном слове несущей, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0008)

На рисунке 4.12 представлена временная диаграмма чтения информации с двух старших байтов частотного слова следования символов с сигналом разрешения приема/пересылки байта равным “11” из модуля пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0008) по шине Wishbone. На этом рисунке можно увидеть, как после чтения значений двух старших байтов из регистра, содержащего частотное слово следования символов формируется выходной поток данных на чтение WB\_DataOut\_2.

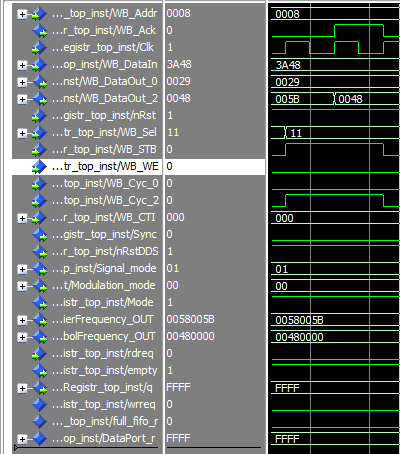


Рисунок 4.12 – временная диаграмма чтения информации с двух старших байтов частотного слова несущей из модуля пересылки данных средствами квадратурной модуляции (по адресу смещения 0x0008) по шине Wishbone

На рисунке 4.13 представлена временная диаграмма записи двух младших байт данных в регистр с сигналом разрешения приема/пересылки байта равным “01”, хранящий значение частотного слова следования символов, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x000A). На этом рисунке можно увидеть, как после записи изменилось значение младшего байта двух младших байтов в регистре, содержащем частотное слово следования символов.

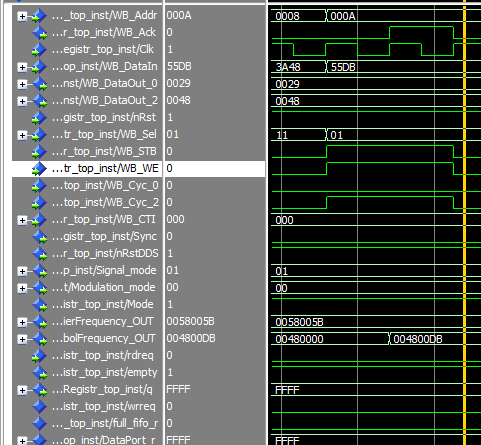


Рисунок 4.13 – временная диаграмма записи информации в два младших байта о частотном слове несущей, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x000A)

На рисунке 4.14 представлена временная диаграмма чтения информации с двух младших байтов частотного слова следования символов с сигналом разрешения приема/пересылки байта равным “11” из модуля пересылки данных средствами квадратурной модуляции (по адресу смещения 0x000A) по шине Wishbone. На этом рисунке можно увидеть, как после чтения значений двух младших байтов из регистра, содержащего частотное слово следования символов формируется выходной поток данных на чтение WB\_DataOut\_2.

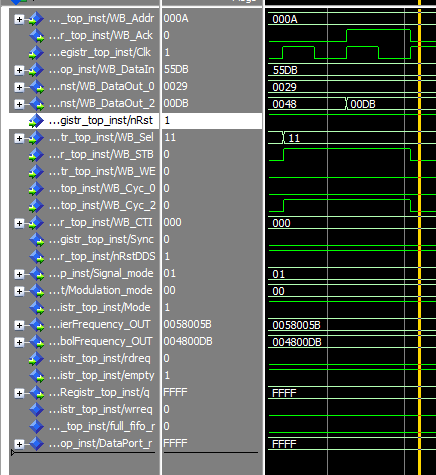


Рисунок 4.14 – временная диаграмма чтения информации с двух младших байтов частотного слова несущей из модуля пересылки данных средствами квадратурной модуляции (по адресу смещения 0x000A) на шину Wishbone

На рисунке 4.15 представлена временная диаграмма записи данных в FIFO с сигналом разрешения приема/пересылки байта равным “11”, хранящей значения 16-битных слов, передаваемых модулятору, а также дублирование этих данных в кольцевой буфер. На этом рисунке можно увидеть, как после записи 16- битного слова с потока данных на запись изменились состояния FIFO и кольцевого буфера: они перестали быть пустыми и счетчик элементов увеличился на один.

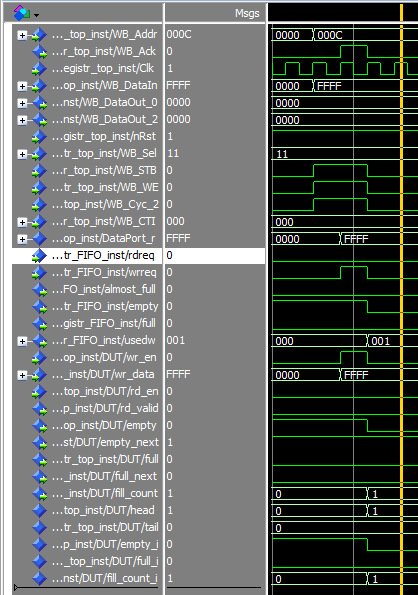


Рисунок 4.15 – временная диаграмма записи информации в FIFO в режиме обычного цикла, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x000С)

На рисунке 4.16 представлена временная диаграмма чтения информации в режиме обычного цикла из кольцевого буфера по шине Wishbone. На рисунке можно увидеть, что после чтения заполняется поток данных на чтение WB\_DataOut\_2, а счетчик количества слов в буфере уменьшается на единицу.

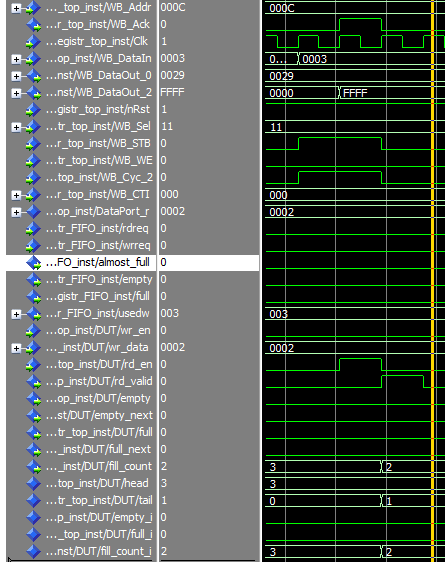


Рисунок 4.16 – временная диаграмма чтения информации из кольцевого буфера по шине Wishbone

На рисунке 4.17 представлена временная диаграмма чтения информации из FIFO, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x000С). На этом рисунке можно увидеть, что после получения запроса на чтение из FIFO в поток данных на чтение q отправляется первый элемент FIFO, из-за чего счетчик элементов в FIFO становится на один меньше,

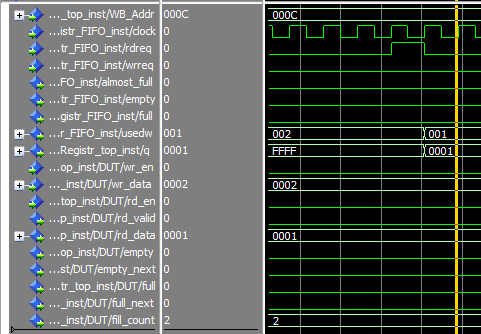


Рисунок 4.17 – временная диаграмма чтения информации из FIFO, передаваемой модулю пересылки данных средствами квадратурной модуляции (по адресу смещения 0x000С)

На рисунке 4.18 представлена временная диаграмма записи информации в FIFO в режиме работы пакетного цикла с фиксированным адресом. На рисунке можно увидеть, что в таком режиме работы адрес смещения, сигнал разрешения записи и цикл постоянны, из-за чего процесс записи происходит быстрее. Процесс записи закончится при получении последнего пакета от мастера. Запись в полностью заполненный FIFO не происходит, о чем свидетельствует отсутствие положительного сигнала запроса на запись в FIFO. Полученные данные также дублируются в кольцевой буфер.

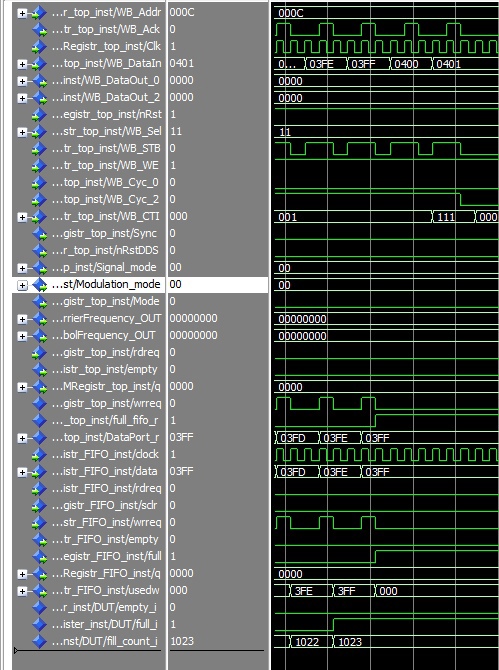


Рисунок 4.18 – временная диаграмма записи информации в FIFO в режиме работы пакетного цикла с фиксированным адресом

На рисунке 4.19 представлена временная диаграмма чтения информации из кольцевого буфера в режиме работы пакетного цикла с фиксированным адресом. На рисунке можно увидеть, что в таком режиме работы адрес смещения, сигнал разрешения записи и цикл постоянны, из-за чего процесс чтения происходит быстрее. Процесс чтения закончится при получении последнего запроса от мастера.

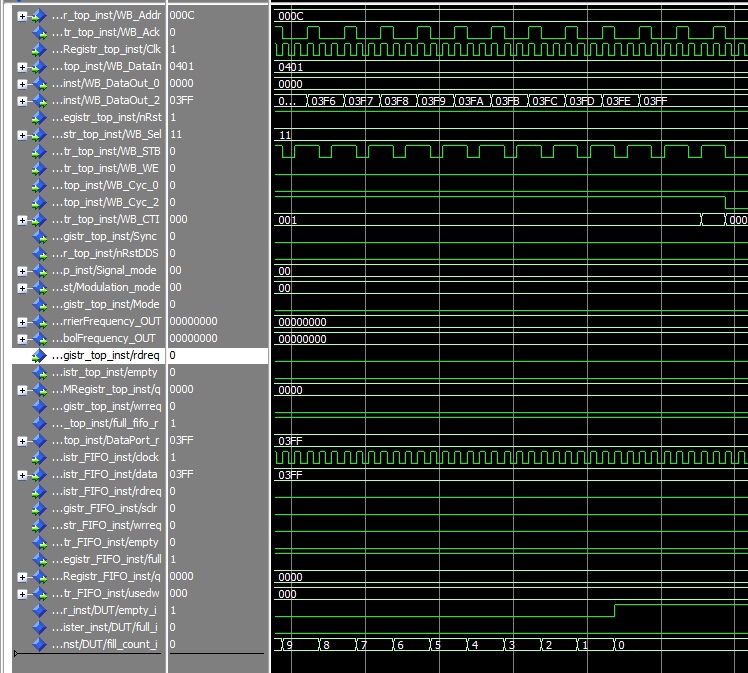


Рисунок 4.19 – временная диаграмма чтения информации из кольцевого буфера в режиме работы пакетного цикла с фиксированным адресом

На рисунке 4.20 представлена временная диаграмма взаимодействия модуля общего управления системой с модулятором. На рисунке можно увидеть, что данные режима сигнала, режима модуляции, частотного слова следования символов и режима работы передались корректно от модуля к модулю.

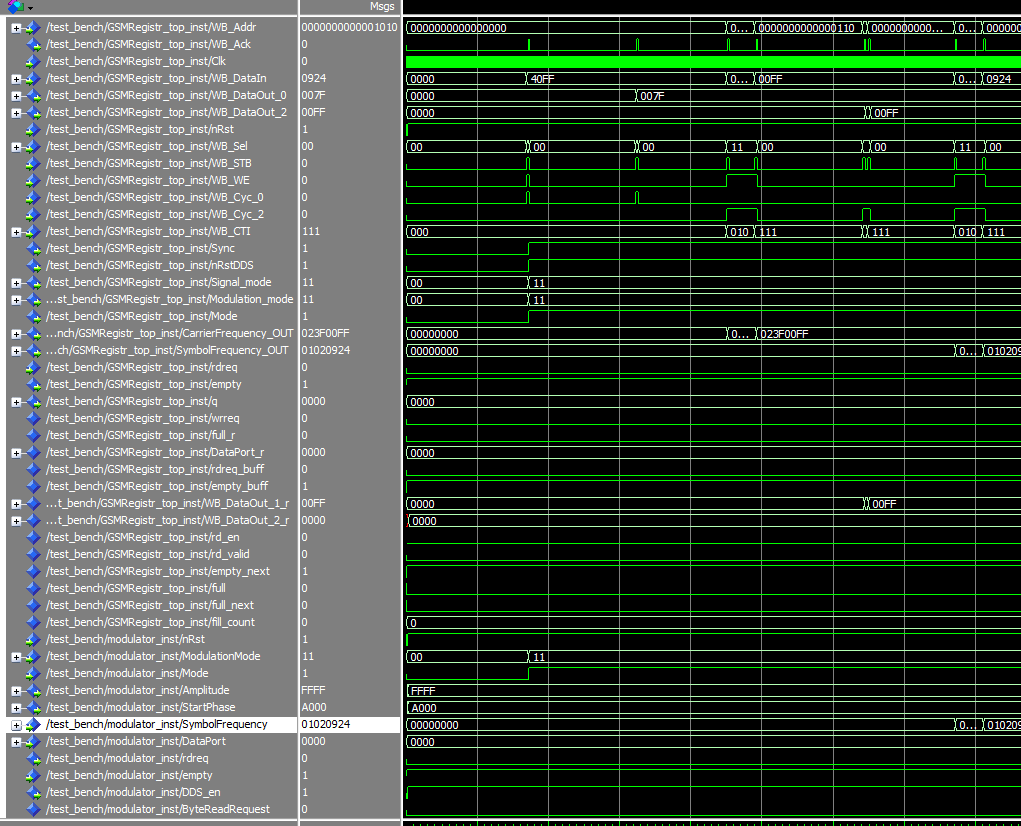


Рисунок 4.20 – временная диаграмма взаимодействия модуля общего управления системой с модулятором

На рисунке 4.21 представлена временная диаграмма чтения данных из FIFO модулятором. На рисунке можно увидеть, что данные с FIFO были успешно переданы модулятору на дальнейшую обработку.

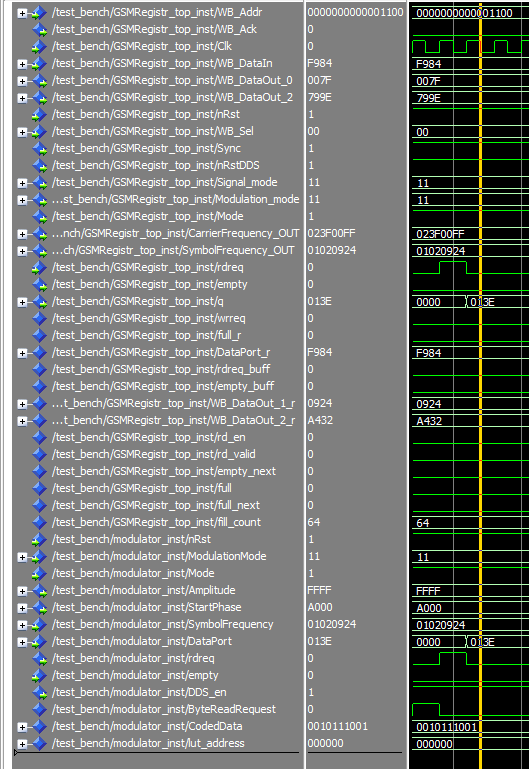


Рисунок 4.21 – временная диаграмма взаимодействия модуля общего управления системой с модулятором

На рисунке 4.22 представлена временная диаграмма взаимодействия модуля общего управления системой с модулем протокольного обмена. На рисунке можно увидеть, что дынные передаваемые по шине Wishbone доходят и обрабатываются корректно от модуля к модулю.

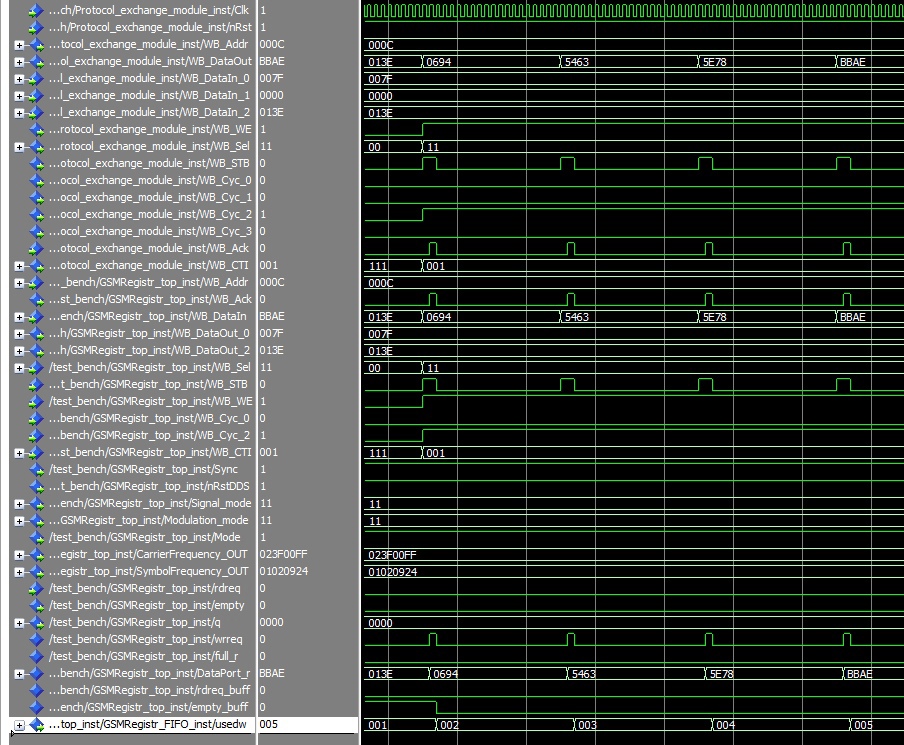


Рисунок 4.22 – временная диаграмма взаимодействия модуля общего управления системой с модулятором

# 5. Синтез

На рис. 5.1. изображена RTL-схема модуля управления системой и модуля пересылки данных средствами квадратурной модуляции.

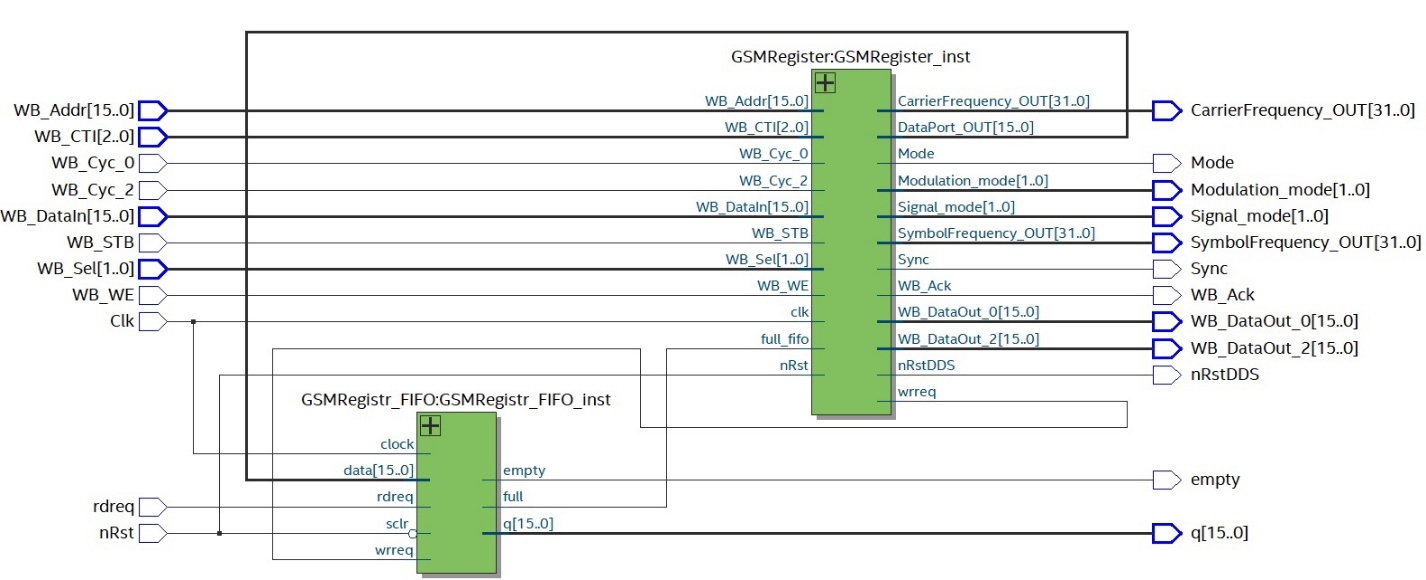
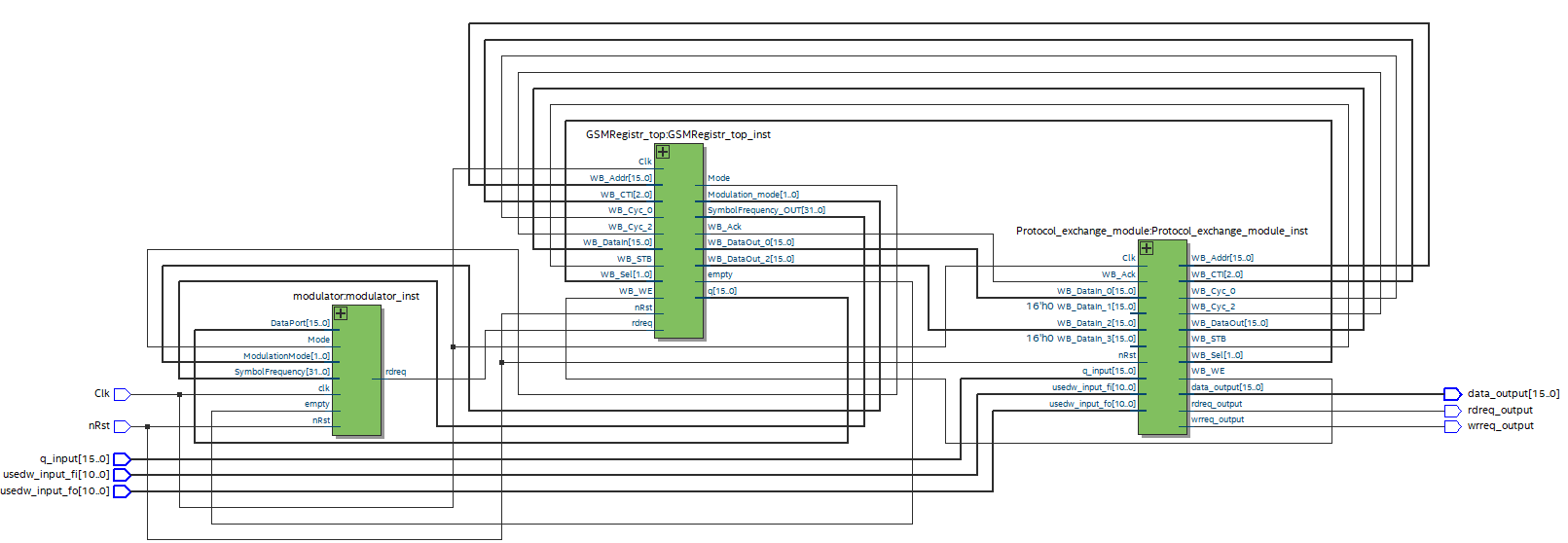


Рис. 5.1. RTL-схема всего модуля

На рис. 5.2. изображена RTL-схема соединения модулей протокольного обмена с анализатором протоколов и модулятором.

Рис. 5.2. RTL-схема соединения с модулем обмена протоколами и модулятором.

На рис. 5.4. изображен общий отчет о занимаемых ресурсах модулем управления системой и модулем организации пересылки данных средствами квадратурной модуляции.

Изображение выглядит как текст

Автоматически созданное описание

Рис. 5.4. Общий отчет о занимаемых ресурсах

На рисунке 5.5 изображен отчет об используемых тактовых сигналах.

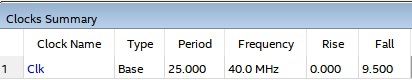


Рис. 5.5. Используемые тактовые сигналы

На рисунке 5.6 изображен отчет о временных характеристиках модуля при 0 С.



Рис. 5.6. Отчет о временных характеристиках модуля при 0 С

На рисунке 5.7 изображен отчет о временных характеристиках модуля при 85 С.

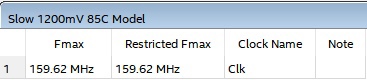


Рис. 5.7. Отчет о временных характеристиках модуля при 85 С.

# Заключение

В ходе курсовой работы был разработан модуль управления системой и модуль организации пересылки данных средствами квадратурной модуляции на языке VHDL. Работа модулей соответствует заявленной спецификации. Модуль выполняет функции ведомого устройства в интерфейсе WISHBONE.

В ходе работы были получены навыки работы с языком описания оборудования VHDL, приобретен опыт работы с программным обеспечением Quartus Prime Standart и ModelSim и опыт работы в команде.

# Список литературы

1. Методический материал для выполнения курсовой работы по предмету «Схемотехника цифровых устройств» - «Функциональный генератор сигналов»

2. <https://vhdlwhiz.com/ring-buffer-fifo/> - описание кольцевого буфера;

3. <https://cdn.opencores.org/downloads/wbspec_b3.pdf> - спецификация WISHBONE;